

Probing contact 성 불량 감소를 위한 효과적인 기법

Effective method through contact setting optimization of probe card to lessen the contact fail

*김관재, 박성근, 유정문, 김영식, 박형권, 엄경운, 양성록, 임혜정, 공만영, 김태형
*Panje Kim, Sunggeun Park, Jeongmoon Yoo, Youngsik Kim, HyeongKwon Park, Kyeongwoon Eom, Sungrok Yang, Hyejeong Im, Manyoung Kong, Taehyeong Kim

EDS Group, Special Fab. Team,
System LSI Division. Semiconductor.Samsung Electronics Co., LTD
pj.kim@samsung.com

Abstract

This papers suggests that applicable methods through measuring voltage drop level of Protection Diode by DC method in wafer test process. This methods is to reduce the significant different probing value by variable workers.

Therefore, it is the purpose that proposes, and describes about contact pretest method and umbrella S/W aspect system embodiment at probe card contact setup that have different view function and advances efficient technique to achieve test that is correct through contact fail detection technique that can do overkill decrease and defectivity activity gouging contact defect of test process that is one of unrelated back-end process in design and contribute substantially in quality reform.

I. 서론

반도체 ASSP 제품에 대한 수율 감소의 원인은 설계로부터 기인되는 parametric defect의 경우와 Fabrication 과정에서 발생하는 random defect 및 systematic defect의 경우로 나눌 수 있다.

특히, 설계에서 기인되는 이슈는 ASSP 특성상 각 제품마다 다른 특성을 가지게 하여 제품마다 각기 같지 않은 수율을 가지게 하는 원인이 된다. 그러므로, 특정한 제품의 수율 향상은 동급계열의 다른 제품 수율 향상과는 반드시 연관되지 않아서 메모리에 비해 개발기간이 길고, 불량 분석도 쉽지 않다.

설계상의 차이를 안고 있는 제조 및 Test 공정에 대해 설계 이슈를 제외한 Process 이슈만을 분리시키고,

해당 Process 이슈를 개선할 수 있는 방법론적인 해결책이 요구되어 왔다.

본 논문에서는 Wafer test setup 시 Protection Diode의 Voltage drop level 을 DC 적인 방법으로 측정함으로써 Test 작업자에 의한 Probe card 와 Chip 의 Probing Planarity 단차 유의차의 정합성을 우선 확보한 후, Main test 를 진행하는 방법을 고찰한다.

그 결과로, 설계에 무관한 Back-end 공정 중의 하나인 Wafer electrical die test공정의 Contact defect 에 대해 Overkill 감소 및 Defectivity 활동을 할 수 있는 Contact fail detection 기법을 통하여 정확한 Test를 수행하기 위한 효율적인 기법을 제안하고, 이의 기능을 가지는 Probe card contact setup 시 Contact pretest 방법과 양산 S/W 상의 시스템 구현에 관해 서술하고 나아가 품질 혁신에 실질적으로 기여하고자 한다.

II. 본론

1. Wafer Test 에서의 Probing 유의차

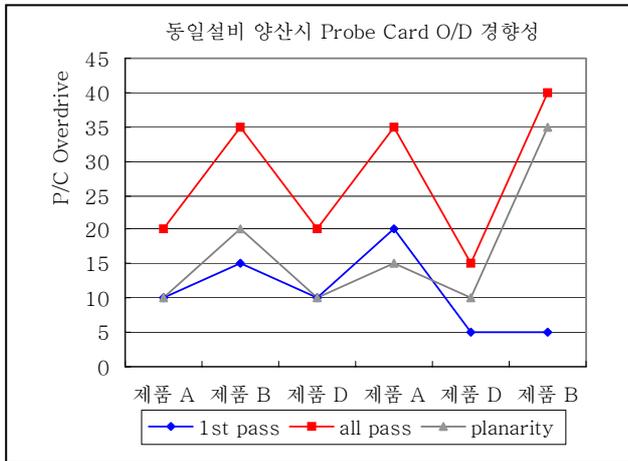
Probe card 란 웨이퍼 상의 각 Chip 을 테스트하기 위해 PCB 위에 Epoxy 로 고정시킨 Needle 을 테스트 하고자 하는 Chip 의 Pad 에 접촉시킨 후 테스트 시스템의 전기적 Signal 을 Chip 상에 전해주는 Tool 이다. 외부 Tester 로 전송하는 중간 매체로서 그 형태는 Probe 와 결합되며, Impedance 를 정합(matching)시킨 PCB를 사용한다. Probing 은 전기적인 신호 전달 이외에 Pad 의 Metal 층을 Contact 하여 Pad 표면을 긁어 리드프레임과의 Wire bonding 시 접촉을 용이하게 하는 데 있다.^[1] 최근 반도체 제품의 SOC 화로 인해 Fine pitch 제품이 급증하는 등 Wafer 상의 Chip 의 Pad 의 크기와

Pitch 사이의 간격이 점점 더 작아지고 있다. 이러한 Chip size 집적화로 인한 내부 Impedance 부정합성 및 Metal pad 표면 불량, Pad 내 Dust 등의 이물질 등에 의한 Contact 성 불량이 급증하고 있다.

Wafer 전기적 검사단계에서는 Wafer 레벨에서 반도체의 기능과 성능을 검사하기 위해서 Chip 을 Test 하게 되는데 이때 Probe card 를 이용하게 된다.^[3]

이때, Setup 작업자는 경험적 방법에 의존하여 Probing 값을 Setting 하여 Test 를 진행하였다. 그 결과 작업자간 눈높이에 의한 차이가 발생하며, Probe card setup 기준이 없어 매 Setup 시마다 기준이 달라지는 문제점 등 Human Error 에 의한 허수성 불량율이 증가하여 수율 하락의 주된 원인이 되고 있다.

Wafer test 작업자에 의한 Probe Card 와 Chip 의 Probing Planarity 단차를 비교한 data 이다.(그림 1)



(그림1.) 동일설비 진행시 Probing planarity 단차

Analysis of Variance for B					
Source	DF	SS	MS	F	P
A	5	2035.9	407.2	6.15	0.007
Error	10	662.5	66.3		
Total	15	2698.4			

Level	N	Mean	StDev
50	5	61.00	8.22
55	1	55.00	0.00
60	2	67.50	17.68
70	2	85.00	0.00
75	5	83.00	4.47

Individual 95% CIs For Mean
Based on Pooled StDev

A: 동일 작업자에 의한 설정 Planarity 비교
(표 1.) 작업자 그룹에 의한 설정 Planarity 비교

분석 결과(표 1-1) P-value 가 0.05 보다 작기 때문에 최소한 2명 이상의 작업자에서 Probing 값이 달라짐을 알 수 있다.

작업자에 의한 Manual 측정방식에 기인한 작업방법으로 인해 Test 의 Yield 에 미치는 영향이 심각하다.

즉, 작업자가 느낌으로 임의 지정한 Probing 값에 의한 Manual test 에 의한 Probe card 접촉성 불량 빈번하게 발생하며, 접촉 불량성 Fail 을 방지하기 위하여 작업자의 공수가 많이 개입되어진다.

엔지니어 또는 작업자의 경험에 의존하는 것으로 이러한 setup 절차는 합리적인 접근법이라 할 수 없다.

2. Probe card 의 Planarity 검사 도입 배경

Probe card 의 Test 적합성을 위한 Inspection 검사 기준으로는 외관검사, Impedance 및 Contact check 항목이 있다.

이중 외관검사 항목인 Tip diameter 는 pad 에 contact 되어지는 tip 단면의 지름을 말하며, 외관검사시 5~25um 수준을 유지하여 Test 진행 및 관리되어진다.

Impedance 항목은 Probe card 에 부착된 저항, Capacitor 등 Component 들이 복합적으로 작용하는 교류저항을 뜻하는 것으로 당사 Spec. 기준에 따른 일정 Limit 이하의 수치로 관리되어진다.

Contact check 항목인 Planarity 는 Card 의 수평정도를 나타내는 것으로 Probe card tip 간의 높이 차이를 말한다. 제작업체 기준으로 Max 40 um 이하로 관리하며 필요시 정기적인 검사를 통해 Planarity 를 일정 수준 이하의 명확한 관리가 필수적이다.

이중, Planarity 는 외관검사 항목이나 Component 에 비해, 양산진행시 Probe card 의 마모에 따른 변경점이 다른 검사항목에 비해 크므로 이에 대한 보정 대책이 필수적이다.

이에 현재까지의 보정방법은 경험에 의존한 눈관리 및 재제작 방법 등으로 작업자의 의한 Setup 유의차에 따른 Contact 성 Fail 증가로 수율 하락 및 재제작에 따른 비용증가로 관리 및 생산단가의 하락의 주된 원인이 되었다.

또한, Discrete 한 불량에 의한 Probe card 재제작 시점의 정확히 파악이 부정확하여 Probe card 도입후 Test 시간에 따른 마모의 정도와 변경점 파악 등 체계적인 관리에 많은 어려움이 있었다.

이에 의거해, Test 의 신뢰성을 확보함과 동시에,

재제작에 따른 비용 감소를 실현하고자 Planarity 보정에 대한 표준화된 방법을 도입하게 되었다.

DC 적인 방법을 사용한 Contact Check 항목을 Setup 시 검사항목으로 도입하여 Test 전 Planarity 적합성 유무를 사전에 검사하여 Probe card 의 마모방지 및 Main test 시 안정적인 Wafer test 진행을 도모하여 Test 의 신뢰성을 확보하고자 하였다.

3. 최적화된 Contact probing 값 설정 기법

Main test 진입전 Setup 시 Contact mode 를 추가하여 Wafer device 의 all pins 에 대한 Probe card 의 Planarity 검사항목을 추가하였다.

즉, 변동적인 Probing 값 부여후 All pin 정상 contact 여부를 확인한 후, Wafer 내에서의 평탄도를 고려하여 일정수준의 Probing 값을 더 부여한 후, 양산 Test 를 진행하는 Test process 를 도입하게 된 것이다.

Planarity 검사는 Input 및 output pin 의 Protection Diode 특성을 측정함으로써 Probe Card Tip 과 Device pin 과의 Contact 적합성 여부를 검사하는 것으로 측정장비의 Programmable load 를 사용하여 DC 적으로 검사하는 방법과 Functional 적으로 검사하는 방법이 있다.

Chip 간의 Contact 적합성을 검사하게 되며 pass 시 작업자가 최초 설정한 Probing 값에서 일정 Offset 값을 더 부여한 다음, 완벽하게 Contact 되었다고 판단한 후 Test 를 시작하게 된다.^[4]

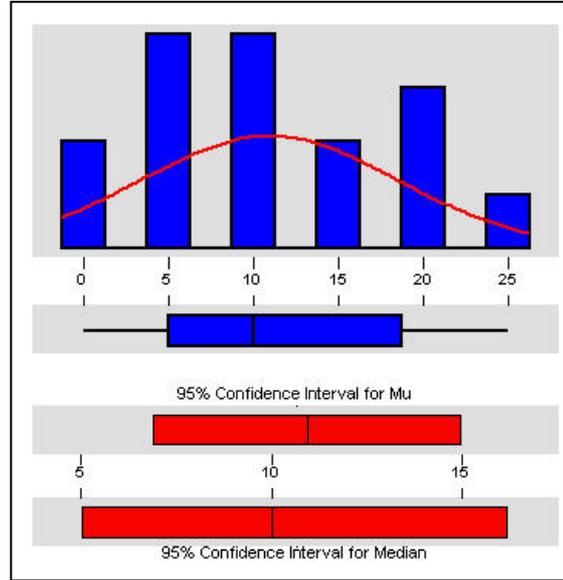
4. 개선 효과

Probe card probing 시 상기 Pretest 기법을 적용한 결과 Probing setup 유의차가 작업자간 기준 최대 25um 에서 5um 이내로 획기적으로 개선되는 결과를 산출할 수 있었다.

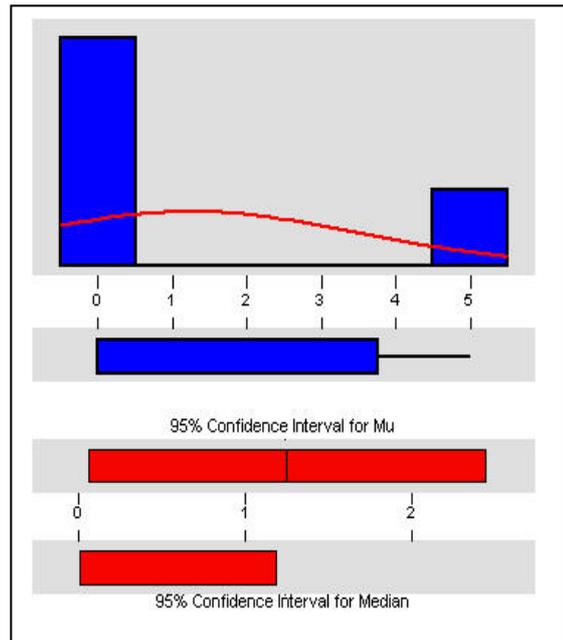
SETUP	개선 전	개선 후	StDev	SE Mean
1	5	5		
2	5	5		
3	0	0		
4	25	0		
5	0	0		
6	10	0		
7	5	0		
8	20	5		
9	15	0		
10	15	0		
11	10	0		
12	10	0		
13	10	5		
14	20	0	7.58	1.89
15	20	0	2.24	0.56
16	5	0	8.06	2.01

(표 3.) 작업자간 Overdrive 유의차 개선 효과

(표 2.) 적용전후 Probing value 비교



(그림 2.) 적용전 Probing 산포



(그림 3.) 적용 후 Probing 산포

Probing 산포를 개선함으로써 Wafer test 시, Wafer 당 Contact 성 불량율이 기존 1.89% 에서 0.34% 로 감소하는 것으로 나타났다.(그림2,그림3)^[2] 그리고, Contact 성 fail 에 의한 Test rework 율이 적용 전 대비 90% 이상 감소하는 획기적인 개선효과 및 수율 향상 효과를 가져올 수 있었다.

또한, Probing miss 및 과도한 Probing 부여에 의한

Needle tip 의 Length 마모를 방지함으로써 Probe Card 의 수명을 획기적으로 개선할 수 있었다.

III. 결론

Chip 의 Inverter pin type 및 ESD protection diode voltage drop 을 응용하여 Probe Card 의 정확한 Tip Depth 에 근거한 Contact probing 값 설정방법을 제안하였다. 이러한 Test 기법을 Setup 시 Pretest check 항목으로 적용할 경우, 양산시 작업자의 임의설정 에 의한 접촉성 불량율을 현저하게 감소시켜 수율 향상에 기여할 수 있으며, Sanding 에 의한 Tip 마모에 따른 Probe Card 수명 단축 및 Needle endurance 를 장기간 유지할 수 있어 품질 혁신, 및 생산성 향상에 크게 기여 할 수 있다.

참고문헌

- [1] 유현식, “PROBE CARD 입고검사 일반표준” , 삼성전자, 2000,
- [2] 박성근, “MCU 제품의 Open fail 개선 system 구축” , 삼성전자, 2005
- [3] 고승찬, “전해도금을 이용한 마이크로 Probe 팁의 제작에 관한 연구” , 서강대학교, 2000
- [4] 김판재, “EDS 재작업을 개선 SYSTEM 구축” , 삼성전자, 2005